

MICROCOMPUTER

Publication number: JP7014382

Publication date: 1995-01-17

Inventor: MIZUGAKI SHIGEO

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- **International:** G06F15/78; G06F9/26; G06F15/76; G06F9/26; (IPC1-7): G11C11/406; G06F15/78

- **European:** G06F9/26N2

Application number: JP19930143466 19930615

Priority number(s): JP19930143466 19930615

Also published as:

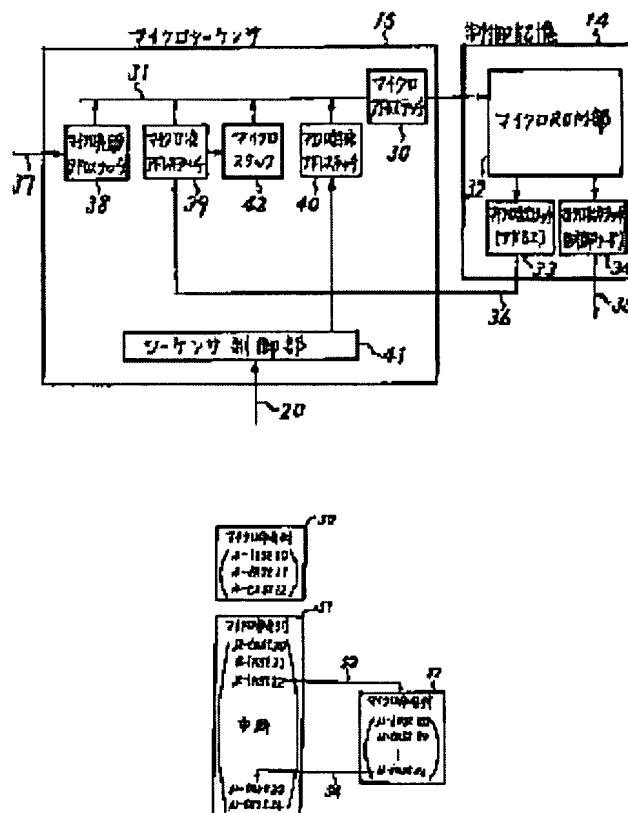
US5487157 (A1)

[Report a data error here](#)

Abstract of JP7014382

PURPOSE: To switch over the usage of data busses at a high speed and to reduce hard ware by interrupting the excution of a command when a refreshing cycle is necessitated in a CPU.

CONSTITUTION: The content of a micro special address latch 40 in the microsequencer 15 of the CPU is transferred to a micro ROM part 32 via a micro address bus 31 and a micro address latch 30. Consequently, the content of a mu-inst R0 and the stored address in a mu-inst R1 are read-out from addressed of a ROM part 32 specified by an address latch 40. Thus, the excution of micro command trains 51 is interrupted and the excution of micro command trains 52 for generating the refreshing cycle is started. When a sequence control part 41 recognizes the last micro command mu-inst Ri of the command trains 52, the part 41 outputs the content of a micro 42 with a next micro address instruction up to the micro address bus 31. As a result, the content of a mu-inst 23 is read-out and then the excution of command trains 51 resumed.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-14382

(43)公開日 平成7年(1995)1月17日

(51)Int.Cl.⁶
G 11 C 11/406
G 06 F 15/78

識別記号 庁内整理番号
510 Z

F I

技術表示箇所

審査請求 未請求 請求項の数3 O.L (全9頁)

(21)出願番号

特願平5-143466

(22)出願日

平成5年(1993)6月15日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 水垣 重生

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

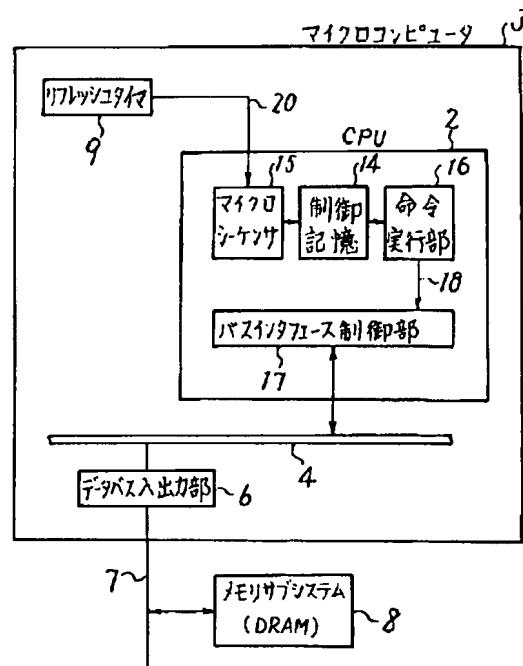
(74)代理人 弁理士 高田 守

(54)【発明の名称】 マイクロコンピュータ

(57)【要約】

【目的】 DRAMリフレッシュ機能を内蔵したマイクロコンピュータにおいて、CPUのリード、ライトのためのデータバス使用とDRAMリフレッシュサイクルのためのデータバス使用の切り替え調停を高速化する。

【構成】 外付けのDRAMで構成されたメモリサブシステム8のリフレッシュを行うべき時刻になるとリフレッシュタイム9がアクティブにするターミナルカウント信号20を、CPU2のマイクロ命令列の順序制御を行うマイクロシーケンサ15に直接入力する構成にしたので、CPU2が現在実行中のマイクロ命令列を中断しリフレッシュサイクルを実行でき、リフレッシュサイクル終了後に中断中であったマイクロ命令列の実行をマイクロシーケンサ15の操作により再開する。



1

【特許請求の範囲】

【請求項1】 内部にマイクロ命令列を格納する制御記憶、上記マイクロ命令列を格納するアドレスを指定し実行順序を制御する制御手段とを有するCPUと、ダイナミックメモリのリフレッシュサイクルの間隔を指定するタイマを有するリフレッシュ機能とを備え、上記タイマのカウント終了信号を上記制御手段に入力したことを特徴とするマイクロコンピュータ。

【請求項2】 請求項1記載のマイクロコンピュータにおいて、CPU内部の上記制御手段に入力された上記タイマのカウント終了信号を受け、CPUが現在実行中のマイクロ命令列を中断し、リフレッシュサイクル発生のための別のマイクロ命令列を実行し、このマイクロ命令列実行が終了すると、中断していたマイクロ命令列実行を再開することを特徴とするマイクロコンピュータ。

【請求項3】 請求項1記載のマイクロコンピュータにおいて、CPU内部の上記制御手段に入力された上記タイマのカウント終了信号を受け、CPUが現在実行中のマイクロ命令列を中断し、リフレッシュサイクル発生のためのリフレッシュ実行部を起動し、リフレッシュサイクルが終了すると、中断していたマイクロ命令列実行を再開することを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マイクロプログラム方式により命令実行を行い、かつダイナミックRAM(以下DRAM)のリフレッシュ発生の制御機能を内蔵したマイクロコンピュータに関するものである。

【0002】

【従来の技術】 以下ではマイクロコンピュータのうちで、外部からの命令を取り込み、解釈、実行を行う部分をCPUと呼び、CPUとDRAMリフレッシュ制御部を含めた全体の系をマイクロコンピュータと呼ぶ。

【0003】 CPUは、命令の取り込み、データの読み書きのために、CPU内部のバスインターフェース制御部の制御下で、データバスを使用してデータの授受を行う。また、DRAMもリフレッシュサイクルでは、上記と異なるバスインターフェース制御部の制御下で、データバスを使用する。上記CPUのバスインターフェース制御部と、DRAMリフレッシュ制御部のバスインターフェース制御部の二つが存在するため、どちらか一方のデータバスの使用を認める調停を行なう調停制御部がマイクロコンピュータに必要となる。

【0004】 図6は、従来のDRAMリフレッシュ制御部を内部に含むマイクロコンピュータと、DRAMで構成された外付けメモリを表すブロック図である。同図において、1はDRAMリフレッシュ制御部、2はCPU、3はマイクロコンピュータである。4はマイクロコンピュータ3の内部データバスである。5はDRAMリフレッシュ制御部1とCPU2との間で、バス権を調停

10

20

30

40

50

2

するバスアービタである。6は、内部データバス4と、マイクロコンピュータ3の外部データバス7との間に接続されるデータバス入出力部である。8は、外部データバス7に接続される、DRAMで構成された外付けのメモリサブシステムである。9はDRAMのリフレッシュサイクルの時間間隔内でカウントし、カウントが終了するとターミナルカウント信号を発生する、DRAMリフレッシュ制御部1内のリフレッシュタイマである。10は上記リフレッシュタイマのターミナルカウント信号が入力され、内部データバス4の使用を制御する、DRAMリフレッシュ制御部1内のバスインターフェース制御部である。11は上記リフレッシュタイマのカウントが終了し、DRAMをリフレッシュすべき時間になったことを示すターミナルカウント信号である。12はDRAMリフレッシュ制御部1が、メモリサブシステム8のリフレッシュサイクルのために内部データバス4を使用する要求を示す信号で、バスアービタ5に入力されるバス権要求信号である。13はCPU2が内部データバス4を使用して良いことを示すバス権許可信号である。14はCPU2の内部動作を規定するマイクロ命令列を格納する制御記憶である。15はアドレスを指定することにより、制御記憶14に格納されたマイクロ命令列の実行順序制御を行う制御手段であるマイクロシーケンサである。16は制御記憶14から出力されるマイクロ命令の内容に制御されてCPU2の命令実行を実際に行なう命令実行部である。17は命令実行部16と内部データバス4の間に接続され、CPU2が内部データバス4を使用するのを制御する、CPU2内のバスインターフェース制御部である。18は、CPU2が命令実行に必要なリード、ライトアクセスを行うために内部データバス4を使用するときに、命令実行部16がバスインターフェース制御部17に使用を要求するバス要求信号である。

【0005】 次に、図6に従って動作を説明する。はじめにDRAMで構成されたメモリサブシステム8がリフレッシュを必要としているときの動作について説明する。リフレッシュタイマ9はリフレッシュが必要となるまでカウントを続けており、ターミナルカウント信号11は非アクティブ(無効)状態である。したがってDRAMリフレッシュ制御部1内のバスインターフェース制御部10は、バスアービタ5に対してバス権要求信号12を非アクティブ(無効)状態にしている。このためバスアービタ5はCPU2へ、CPU2が内部データバス4の使用可能なことを示すバス権許可信号13を出し続けている。

【0006】 一方CPU2は、命令を実行するために内部データバス4を介して、メモリサブシステム8をアクセスする場合がある。CPU2は、マイクロシーケンサ15の順序制御に従い、制御記憶14からマイクロ命令を読み出して行くが、データのリード、ライトが必要になると、上記マイクロ命令が命令実行部16にこれを通知する。命令実行部16はこれを受けてバス要求信号18をアク

タイプ(有効)にし、CPU2のバスインターフェース制御部17の使用が必要であることを通知する。バスインターフェース制御部17はバス権許可信号13がアクティブであるのでバス要求信号18、すなわち命令実行部16のバス使用要求に応答することができる。したがって、バスインターフェース制御部17は内部データバス4を使用し、データバス入出力部6、外部データバス7を経由しメモリサブシステム8ヘリード、ライトが実行される。

【0007】次に、DRAMで構成されたメモリサブシステム8がリフレッシュを必要とするようになったときの動作について説明する。一般的にDRAMリフレッシュサイクルは、その他のいかなるシステム動作よりも優先的に実行される必要がある。したがって、ここではDRAMリフレッシュサイクルによる内部データバス4の使用が、CPU2によるリード、ライトのための内部データバス4の使用に優先するものとして説明する。

【0008】リフレッシュタイム9は、メモリサブシステム8のリフレッシュを行うべき時刻を計測するためにカウントする。リフレッシュタイム9は、オーバフロー(またはダウンカウントの場合のアンダフロー)するとターミナルカウント信号11をアクティブ(有効)の状態に変更し、バスインターフェース制御部10にリフレッシュするべき時刻であること知らせる。このときバスインターフェース制御部10は、バス権要求信号12をアクティブにし内部データバス4を優先的に使用することをバスアービタ5に通知する。これによりバスアービタ5は、CPU2に対しバス権許可信号13を非アクティブにし、CPU2が内部データバス4を使用できない旨を知らせる。

【0009】以上の流れで、内部データバス4の使用権がDRAMリフレッシュ制御部1へ移る。これにより、バスインターフェース制御部10は内部データバス4を使用し、データバス入出力部6、外部データバス7を介してメモリサブシステム8のリフレッシュを実行する。

【0010】次に、上記リフレッシュサイクル中にCPU2が内部データバス4の使用を必要とする場合の動作について説明する。CPU2がバス要求信号18をアクティブにするまでの動作は、上述のメモリサブシステム8がリフレッシュを必要としていない場合とまったく同じである。ところがリフレッシュサイクル中にはバスアービタ5がバス権許可信号13を非アクティブにしているため、バスインターフェース制御部17は命令実行部16が必要とするリード、ライトに応答することができず、バス権許可信号13が再度アクティブになるのを待ち続ける。したがってCPU2(命令実行部16)は必要なデータ授受ができなくなり、待ち状態、すなわち動作を停止した状態になる。

【0011】

【発明が解決しようとする課題】従来のマイクロコンピュータにDRAMリフレッシュ機能を内蔵すると以上のような構成になるので、CPUがデータをリード、ライ

トするためのデータバス使用とDRAMリフレッシュサイクルのためのデータバス使用が、バスアービタにおいて調停により決定され、このためにDRAMリフレッシュ制御部及び各々のバスインターフェース制御部のオンオフが制御されるので、調停に非常に時間がかかるといった問題があり、さらにはDRAMリフレッシュ制御部およびCPUに各々独立のバスインターフェース制御部が必要となり、またバスアービタも必要となりハードウェア量が増えるといった問題もあった。

【0012】この発明は上記のような問題点を解決するためになされたものであり、CPUがリード、ライトするためのデータバス使用とDRAMリフレッシュサイクルのためのデータバス使用の切り替えを、簡単なハードウェアで高速に行うことが可能なDRAMリフレッシュ機能を内蔵したマイクロコンピュータを得ることを目的とする。

【0013】

【課題を解決するための手段】この発明のマイクロコンピュータは、DRAMのリフレッシュサイクルの間隔を計測する内蔵のリフレッシュタイムが所定のカウント終了値に達すると、終了信号をマイクロシーケンサに入力し、この信号を受けてCPUが現在実行中のマイクロ命令列を中断し、リフレッシュサイクルの動作を開始させ、リフレッシュサイクルの動作が終了するとCPUが中断していたマイクロ命令列の実行を再開するようにしたものである。

【0014】

【作用】この発明のマイクロコンピュータは、内蔵のリフレッシュタイムがCPUのマイクロシーケンサにDRAMをリフレッシュすべき時刻を直接知らせ、命令実行を中断させリフレッシュサイクルを実行し、リフレッシュサイクル終了後、命令実行を再開するので、データバス使用の調停が高速に行われる。

【0015】

【実施例】

実施例1. 以下、この発明の一実施例を図に従い説明する。図1は、本発明のDRAMリフレッシュ機能を内蔵したマイクロコンピュータの第一の実施例を示すブロック図である。同図において、CPU2、内部データバス4、データバス入出力部6、外部データバス7、メモリサブシステム8、制御記憶14、マイクロシーケンサ15、命令実行部16、バスインターフェース制御部17、バス要求信号18は上述の図6のものと各々まったく同一である。9は、DRAMリフレッシュサイクル間隔を計測するリフレッシュタイムである。20は、リフレッシュタイム9がカウント終了値に達すると発生され、CPU2のマイクロシーケンサ15に入力されるターミナルカウント信号である。

【0016】図2は、図1におけるマイクロシーケンサ15と制御記憶14の構成を示すブロック図である。図2に

5

おいて、30は制御記憶14のアドレスを保持するマイクロアドレスラッチである。31はマイクロアドレスラッチ30にラッチされるアドレスを転送するマイクロアドレスバスである。32はアドレスデコーダ、メモリアレイ及び読みだし回路等からなり、マイクロ命令を格納する部分であるマイクロROM部である。33は、マイクロROM部32から出力される次に実行すべきマイクロ命令のアドレスを保持する、マイクロ出力ラッチである。34は、マイクロROM部32から出力される命令実行部16の演算器の動作等を制御する制御コードを保持するマイクロ出力ラッチである。35は命令実行部16の動作を制御する制御信号である。36は、マイクロ出力ラッチ33から出力され、次に実行すべきマイクロ命令が格納されたマイクロROM部32のアドレスを示す次アドレス信号である。37は各CPU命令に対応するマイクロ命令列の先頭アドレスを示す先頭アドレス信号である。38は上記先頭アドレス信号37を保持するマイクロ先頭アドレスラッチである。39は上記次アドレス信号36を保持するマイクロ次アドレスラッチである。40はリフレッシュ操作を行う別のマイクロ命令列の先頭アドレスを生成し保持するマイクロ特殊アドレスラッチである。41は、マイクロ先頭アドレスラッチ38、マイクロ次アドレスラッチ39、マイクロ特殊アドレスラッチ40、及び後述のマイクロスタック42の内で、いずれの内容をマイクロアドレスバス31に出力するかを制御するシーケンサ制御部である。42は、マイクロ次アドレスラッチ39の内容を一時退避するためのマイクロスタックである。

【0017】図3はマイクロ命令列の実行順序制御の例を示したものである。同図において、50はCPU2のある命令（以下命令Aと記す）に対応するマイクロ命令列、51はCPU2の別のある命令（以下命令Bと記す）に対応するマイクロ命令列、52はDRAMリフレッシュサイクルを発生するためのマイクロ命令列、53はマイクロ命令列51からマイクロ命令列52への遷移、54はマイクロ命令列52からマイクロ命令列51への復帰を、各々示している。

【0018】次に、本発明の第一の実施例においてDRAMリフレッシュサイクルを発生しない場合のCPU2のマイクロ命令実行の手順を図1、図2、図3に従い説明する。このとき、ターミナルカウント信号20は非アクティブ（無効）であり、シーケンサ制御部41はリフレッシュサイクル発生のないことを認識している。CPU2は、DRAMで構成されたメモリサブシステム8または他のメモリシステムから上記命令Aを取り込み、マイクロ命令列50の先頭アドレス信号37、すなわちマイクロROM部32中の μ -inst10 (μ -inst1はマイクロ命令を示す。以下このように記す。) の格納アドレス、を生成してマイクロ先頭アドレスラッチ38に格納する。このマイクロ先頭アドレスラッチ38の内容は、シーケンサ制御部41に制御され、マイクロアドレス31、マイクロアドレ

10

20

30

40

50

6

スラッチ30を経由してマイクロROM部32に伝達される。

【0019】この結果、マイクロ先頭アドレスラッチ38で指定されるマイクロROM部32のアドレスから μ -inst10の内容および μ -inst11の格納アドレスが読み出される。上記 μ -inst10の内容はマイクロ出力ラッチ34に保持され、さらに制御信号35となり、命令実行部16の制御信号となる。また、同時に読み出された上記 μ -inst11の格納アドレスはマイクロ出力ラッチ33に保持され、さらに次アドレス信号36となり、マイクロ次アドレスラッチ39に転送される。

【0020】上記 μ -inst10の読み出しが完了すると、次のマイクロ命令（ μ -inst11）の読み出しを開始する。シーケンサ制御部41は、次に処理すべきマイクロ命令（ μ -inst11）がCPU命令の一一番初めのマイクロ命令でないことを認識すると、マイクロアドレスバス31上にマイクロ次アドレスラッチ39の内容、すなわち μ -inst11の格納アドレスを出力させる。さらに、上記マイクロ次アドレスラッチ39の内容は、マイクロアドレスバスラッチ39で指定されるマイクロROM部32へ伝達される。

【0021】この結果、マイクロ次アドレスラッチ39で指定されるマイクロROM部32のアドレスから μ -inst11の内容及び μ -inst12のアドレスが読み出される。以下同様の手順を繰り返すことで μ -inst12の読み出しも行われる。

【0022】ここでシーケンサ制御部41が、 μ -inst12が命令Aに対応するマイクロ命令列の最後のマイクロ命令であることを認識すると、次のマイクロアドレス指定をマイクロ先頭アドレスラッチ38により実施する。この際マイクロ先頭アドレスラッチ38の内容は、CPU2が取り込んだ命令Bに対応するマイクロ命令列51の先頭アドレスを示す先頭アドレス信号37、すなわちマイクロROM部32内の μ -inst20の格納アドレスに変更される。このように、上記命令Aに対応するマイクロ命令列50 (μ -inst10, 11, ...) を読み出した動作と同様に、命令Bに対応するマイクロ命令列51 (μ -inst20, 21, ...) の読み出し動作も実行できる。

【0023】以上が、DRAMリフレッシュサイクルを発生しない場合における、CPU2のマイクロ命令実行の手順である。この場合は、マイクロ特殊アドレスラッチ40及びマイクロスタック42は全く使用されない。

【0024】次に、本発明の第一の実施例においてDRAMリフレッシュサイクルを必要とする場合のCPU2のマイクロ命令実行の手順を図1、図2、図3に従い説明する。リフレッシュタイム9は、基準クロックに基づきカウントしている。これがオーバフロー（あるいはダウンカウントの場合のアンダーフロー）すると、DRAMで構成されたメモリサブシステム8のリフレッシュを行

イブ（有効）状態に変更され、シーケンサ制御部41はリフレッシュサイクル発生が必要となったことを知る。

【0025】ここで図3に示すとおり、アクティブ状態となったターミナルカウント信号20を受けたとき、マイクロシーケンサ15は μ -inst22を実行中であったものとして説明を続ける。このとき、マイクロアドレスラッ奇30には μ -inst22の格納アドレスが保持されており、このアドレスに従い、マイクロROM部32から μ -inst22の内容及び μ -inst23の格納アドレスが読み出される。

【0026】 μ -inst23の格納アドレスは、マイクロ出力ラッ奇33を経由し、次アドレス信号36としてマイクロ次アドレスラッ奇39に転送される。しかし、マイクロシーケンサ15内のシーケンサ制御部41は、上記アクティブ状態となったターミナルカウント信号20を受けると、DRAMリフレッシュサイクルを発生しない場合とは異なり、つまりマイクロ次アドレスラッ奇39の内容をマイクロアドレスバス31上に出力させるのではなく、この内容をマイクロスタック42に転送させる。さらに、シーケンサ制御部41はマイクロ次アドレスラッ奇39ではなく、マイクロ特殊アドレスラッ奇40の内容をマイクロアドレスバス31上に出力させる。なお、マイクロ特殊アドレスラッ奇40は、リフレッシュサイクルを発生するマイクロ命令列52の先頭アドレス、すなわち μ -instR0が格納されているマイクロROM部32のアドレスを、常に保持している。

【0027】このように、上記マイクロ特殊アドレスラッ奇40の内容はマイクロアドレスバス31、マイクロアドレスラッ奇30を経由してマイクロROM部32へ伝達される。この結果、マイクロ特殊アドレス40で指定されるマイクロROM部32のアドレスから、 μ -instR0の内容及び μ -instR1の格納アドレスが読み出されるので、マイクロ命令列51の実行は中断され、リフレッシュサイクル発生用のマイクロ命令列52の実行が開始される。マイクロ命令列52の実行を開始してからのマイクロシーケンサ15の動作は、DRAMリフレッシュサイクルが発生しない場合と同等であるため、マイクロスタック42は使用されることなく、 μ -inst23の格納アドレスはそのままマイクロスタック42中に保持されている。

【0028】シーケンサ制御部41は、リフレッシュサイクル発生用のマイクロ命令列52の最終マイクロ命令 μ -instRiを認識すると、この次のマイクロアドレス指定では、マイクロスタック42の内容をマイクロアドレスバス31上に出力させる。そのため、マイクロスタック42の内容、すなわち μ -inst23が格納されているマイクロROM部32のアドレスは、マイクロアドレスバス31、マイクロアドレスラッ奇30を経由してマイクロROM部32へ伝達される。この結果、 μ -inst23の内容が読み出され、中断されていたマイクロ命令列51の実行が再開される。

【0029】実施例2、図4は、本発明における第二の実施例のDRAMリフレッシュ機能を内部に含むマイク

ロコンピュータと、DRAMで構成された外付けメモリを表すブロック図である。同図において、60はDRAMリフレッシュサイクルの動作をハードウェア論理回路で構成したリフレッシュ実行部、61はマイクロシーケンサ15がリフレッシュ実行部60の動作開始を要求するリフレッシュ要求信号、62はリフレッシュ実行部60の動作完了をマイクロシーケンサ15に伝えるリフレッシュ完了信号である。他の記号は図1と同一である。

【0030】図5は、図4におけるマイクロシーケンサ15と制御記憶14の内部を表すブロック図である。図5において、70はシーケンサ制御部であり、図2における41とほぼ同等の動作をするが、マイクロ先頭アドレスラッ奇38とマイクロ次アドレスラッ奇39のどちらの内容をマイクロアドレスバス31に出力するかを制御する点、および、リフレッシュ実行部60が動作中にマイクロシーケンサ15全体の動作を停止させる制御をする点が異なる。他の記号は図2と同一のものである。

【0031】次に、本発明の第二の実施例について、DRAMリフレッシュサイクルを発生しない場合のCPU2のマイクロ命令実行の手順を説明する。この場合の動作は、上述の第一の実施例におけるDRAMリフレッシュサイクルを発生しない場合の動作と全く同一である。

【0032】続いて、本発明の第二の実施例における、DRAMリフレッシュサイクルの発生が必要な場合のCPU2の動作を図3、図4、図5に従い説明する。リフレッシュタイマ9は、基準クロックに基づきカウントしている。これがオーバフロー（あるいはダウンカウントの場合のアンダーフロー）すると、DRAMで構成されたメモリサブシステム8のリフレッシュを行うべき時刻であり、ターミナルカウント信号20がアクティブ（有効）状態に変更され、シーケンサ制御部70はリフレッシュサイクル発生が必要となったことを知る。

【0033】上述の第一の実施例の説明と同様に、図3のごとく、アクティブ状態となったターミナルカウント信号20を受けたとき、マイクロシーケンサ15は μ -inst22を実行中であったものとして説明を続ける。このとき、マイクロアドレスラッ奇30には μ -inst22の格納アドレスが保持されており、このアドレスに従い、マイクロROM部32から μ -inst22の内容及び μ -inst23の格納アドレスが読み出される。

【0034】 μ -inst23の格納アドレスは、マイクロ出力ラッ奇33を経由し、次アドレス信号36としてマイクロ次アドレスラッ奇39に転送される。しかし、マイクロシーケンサ15内のシーケンサ制御部70は、上記アクティブ状態となったターミナルカウント信号20を受けると、DRAMリフレッシュサイクルを発生しない場合とは異なり、マイクロシーケンサ15全体の動作を停止させ、マイクロ命令列51の実行を中断するとともに、リフレッシュ要求信号61をアクティブにしリフレッシュ実行部60の動作を開始させる。なお、マイクロ次アドレスラッ奇39の

9

内容はマイクロアドレスバス31上には出力されず、そのままマイクロ次アドレスラッチ39に保持される。

【0035】マイクロシーケンサ15の動作が停止しているため命令実行部16も停止し、従って命令実行部16は内部データバス4を使用しない。このため、リフレッシュ実行部60は、調停を待つことなく、DRAMリフレッシュのためにバスインターフェース制御部17経由でデータバス4を使用することができる。

【0036】リフレッシュサイクルの発生を終了すると、リフレッシュ実行部60はリフレッシュ完了信号62をアクティブにする。マイクロシーケンサ15内のシーケンサ制御部70は、このリフレッシュ完了信号62を受け取ると、リフレッシュ要求信号61を非アクティブにし、マイクロシーケンサ15全体の動作を再開させる。このときマイクロ次アドレスラッチ39の内容（ μ -inst23のマイクロROM部32における格納アドレス）は、マイクロアドレスラッチ30を経由してマイクロROM部32に伝達される。この結果、 μ -inst23の内容が読み出され、中断されていたマイクロ命令列51の実行が再開される。

[0037]

【発明の効果】以上のように、この発明によればDRAMリフレッシュ機能を内蔵したマイクロコンピュータのCPUを、リフレッシュサイクルが必要なときに命令実行を中断させ、リフレッシュサイクルが完了すると命令実行を再開するように構成したので、CPUのリード、ライトのためのデータバス使用とDRAMリフレッシュサイクルのためのデータバス使用の切り替えを、調停回路を介さずに行うため非常に高速となり、さらには

10

【図面の簡単な説明】

【図1】本発明の第一の実施例のDRAMリフレッシュ機能を内蔵したマイクロコンピュータの内部のブロック図である。

【図2】本発明の第一の実施例のDRAMリフレッシュ機能を内蔵したマイクロコンピュータのマイクロシーケンサ及び制御記憶の内部構成を示すブロック図である。

【図3】本発明の第一の実施例のDRAMリフレッシュ機能を内蔵したマイクロコンピュータのマイクロ命令列を示す図である。

【図4】本発明の第二の実施例のDRAMリフレッシュ機能を内蔵したマイクロコンピュータの内部のブロック図である。

【図5】本発明の第二の実施例のDRAMリフレッシュ機能を内蔵したマイクロコンピュータのマイクロシーケンサ及び制御記憶の内部構成を示すブロック図である。

【図6】従来のDRAMリフレッシュ機能を内蔵した
20 イクロコンピュータの内部のブロック図である。

【符号の説明】

2 CPU

9 リフレッシュタイム

14 制御記憶

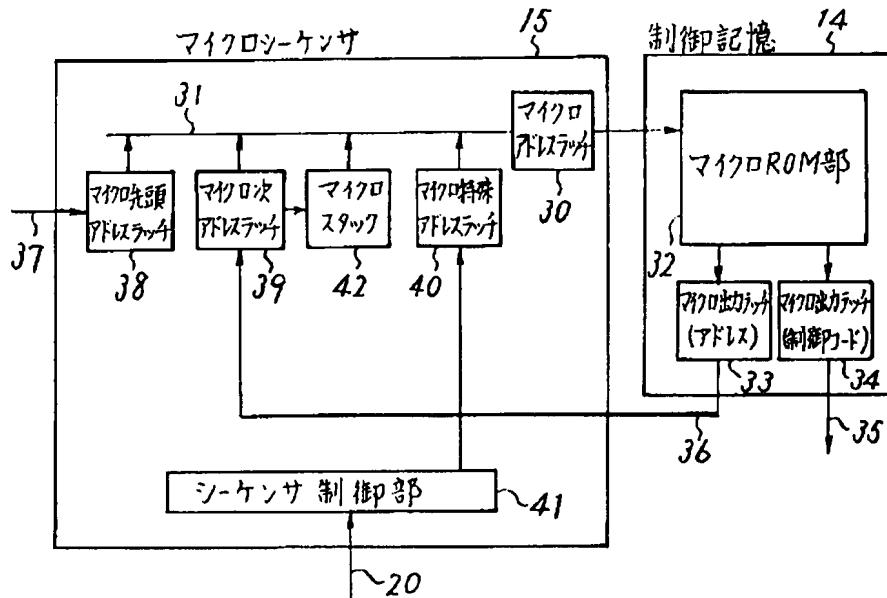
15 マイクロシーケンサ

20 ターミナルカウント信号

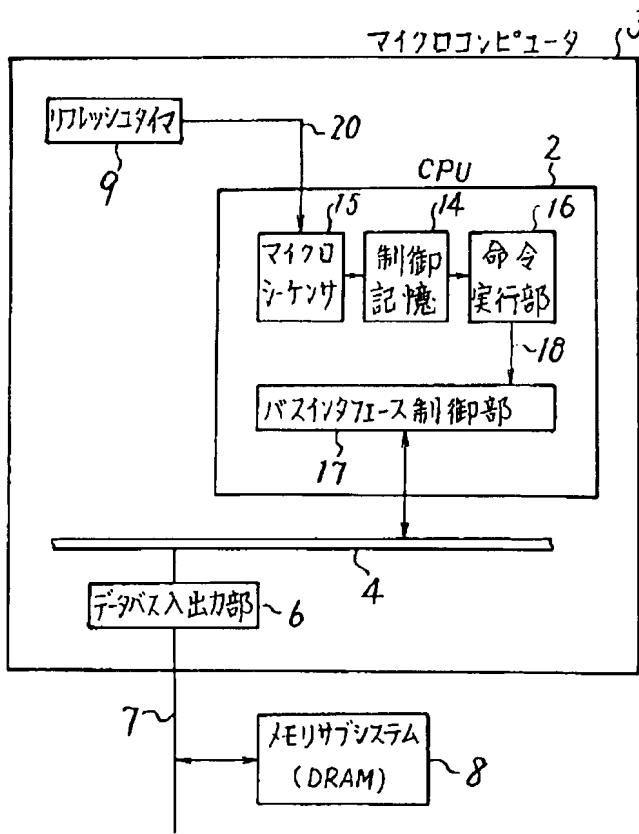
50、51、52 マイクロ命令

60 リフレッシュ実行部

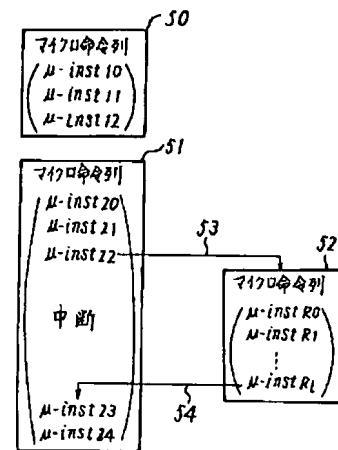
【图2】



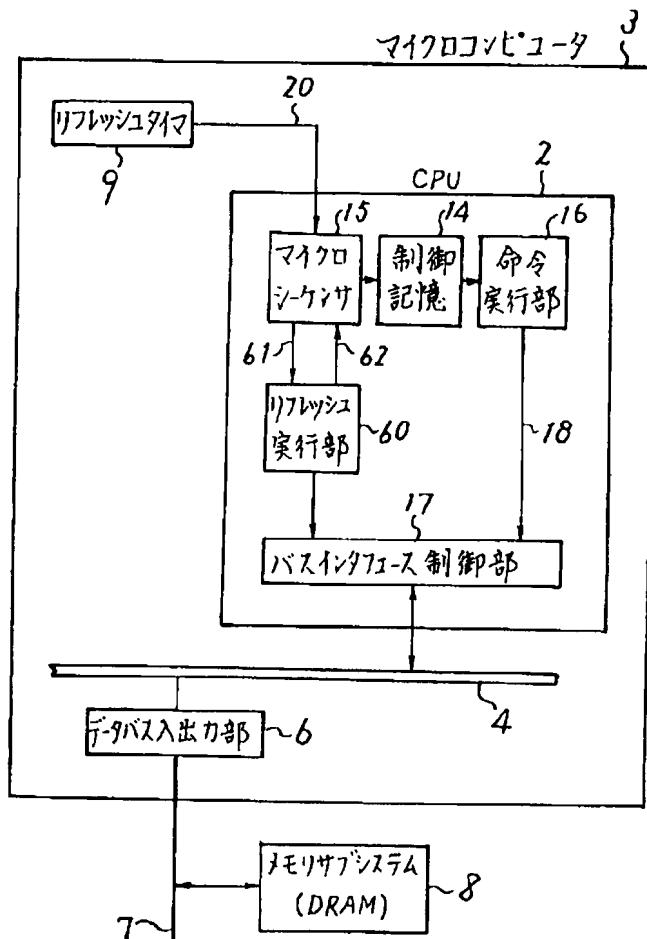
【図1】



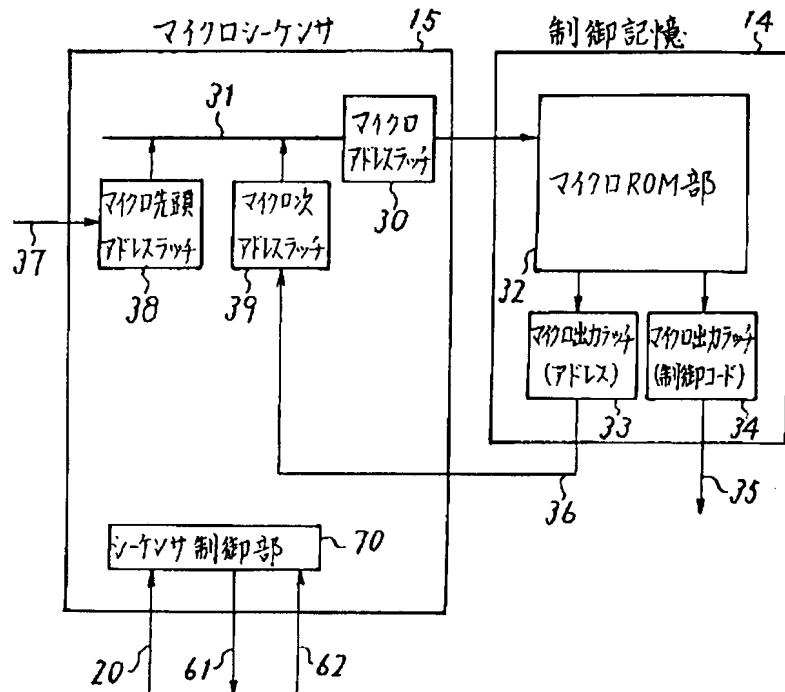
【図3】



【図4】



【図5】



【図6】

